

**WEST** Generate Collection

L5: Entry 3 of 6

File: JPAB

Oct 13, 1995

PUB-N0: JP407261892A

DOCUMENT-IDENTIFIER: JP 07261892 A

TITLE: MEMORY EQUIPPED WITH FAST OPERATION MEMORY MODULE

PUBN-DATE: October 13, 1995

## INVENTOR-INFORMATION:

NAME	COUNTRY
ITO, HIROYUKI	

## ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	

APPL-NO: JP06047136

APPL-DATE: March 17, 1994

INT-CL (IPC): G06 F 3/00; G06 F 13/16

## ABSTRACT:

PURPOSE: To nearly eliminate a reflection quantity when the memory module used as an extended memory of a work station, a personal computer, etc., performs high speed operates.

CONSTITUTION: The memory wherein memory modules having plural memory elements arranged are connected to memory buses connected from a driver 40 is provided with memory modules 1, 2, 3, and 4 which are provided with connectors for the memory bus and connected to the connector by entrance connectors and exit connectors; and the memory modules 1-4 has the entrance connector IK and exit connectors OK connected by memory buses MB1 in the memory modules, and the memory elements M are connected to the memory buses MB1 in the memory modules. A terminating resistance R0 is connected to the memory bus M0 connected from the driver 40.

COPYRIGHT: (C)1995, JPO

特開平7-261892

(43)公開日 平成7年(1995)10月13日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 3/00	K			
13/16	5 1 0 A	9366-5B		

## 審査請求 未請求 請求項の数4 OL (全5頁)

(21)出願番号 特願平6-47136

(22)出願日 平成6年(1994)3月17日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 伊藤 裕之

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 山谷 啓榮 (外1名)

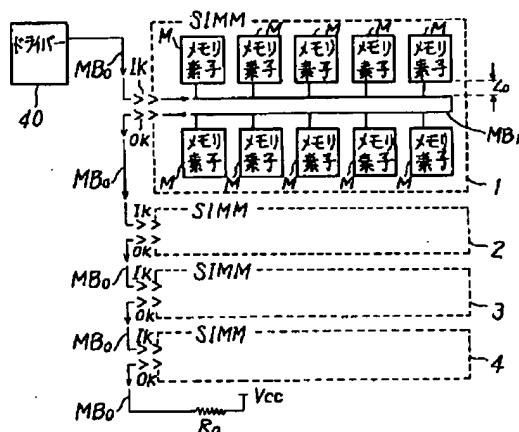
## (54)【発明の名称】 高速動作メモリ・モジュールを備えたメモリ

## (57)【要約】

【目的】 本発明は、ワークステーションやパソコン・コンピュータ等の拡張メモリとして使用されるメモリ・モジュールを高速動作するときに反射量がほとんどなくなるように構成すること。

【構成】 ドライバー40から接続されたメモリ・バスに対し、複数個のメモリ素子が配置されたメモリ・モジュールが接続されるメモリにおいて、前記メモリ・バスに対してコネクタを設け、このコネクタに対して入口コネクタと出口コネクタにより接続されるメモリ・モジュール1、2、3、4を設け、このメモリ・モジュールは、入口コネクタIKと出口コネクタOKとをメモリ・モジュール内のメモリ・バスMB<sub>1</sub>で接続するとともに、このメモリ・モジュール内のメモリ・バスMB<sub>1</sub>にメモリ素子を接続するように構成し、ドライバー40から接続されたメモリ・バスには終端抵抗が接続されたことを特徴とする。

## 本発明の原理構成図



## 【特許請求の範囲】

【請求項1】 ドライバー(40)から接続されたメモリ・バスに対し、複数個のメモリ素子が配置されたメモリ・モジュールが接続されるメモリにおいて、前記メモリ・バスに対してコネクタを設け、

このコネクタに対して入口コネクタと出口コネクタにより接続されるメモリ・モジュール(1)、(2)、(3)、(4)を設け、

このメモリ・モジュールは、入口コネクタIKと出口コネクタOKとをメモリ・モジュール内のメモリ・バスMB<sub>1</sub>で接続するとともに、このメモリ・モジュール内のメモリ・バスMB<sub>1</sub>にメモリ素子を接続するように構成し、

ドライバー(40)から接続されたメモリ・バスには終端抵抗が接続されたことを特徴とする高速動作メモリ・モジュールを備えたメモリ。

【請求項2】 前記メモリ・モジュールが、入口コネクタによりメモリ・モジュール内のメモリ・バスに接続された終端抵抗を設けたことを特徴とする請求項1記載の高速動作メモリ・モジュールを備えたメモリ。

【請求項3】 前記メモリ・モジュールが、入口コネクタによりメモリ・モジュール内のメモリ・バスに接続された終端抵抗を設けるとともに、このメモリ・バスにメモリ素子を接続したことを特徴とする請求項1記載の高速動作メモリ・モジュールを備えたメモリ。

【請求項4】 前記メモリ・バスの終端に、メイン基板上に設置された終端抵抗を設けたことを特徴とする請求項1記載の高速動作メモリ・モジュールを備えたメモリ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はワークステーションやパソコン・コンピュータ等の拡張メモリとして使用されるメモリ・モジュールに係り、特に高速動作可能に構成されたメモリ・モジュールに関する。

## 【0002】

【従来の技術】パソコン・コンピュータやワークステーション等の拡張メモリとして、一般的にS I M M (Single Inline Memory Module)と呼ばれるメモリ・モジュールが使用されている。図4は、S I M M 31、32がドライバー40と主線であるメモリ・バスMB<sub>0</sub>により、ソケットSK1、SK2を経由して接続されている状態を示す。このドライバー40は、図示省略したCPUと、これまた図示省略したバスを経由して接続され、パソコン・コンピュータやワークステーション等を構成している。

【0003】S I M Mは、小基板にI Cで構成されるメモリ素子を数個から数10個搭載したものである。図4ではS I M M 31はメモリ素子Mを10個搭載した例を示す。このメモリ素子Mは、モジュール内バスBLによ

り接続されている。

【0004】このようなS I M Mは、例えば40MC程度のスピードで使用する限りでは、特別な回路上の配慮を必要とせず、メモリ容量を増設することができる。

## 【0005】

【発明が解決しようとする課題】ところで今度はCPUの処理スピードが向上するに伴い、メモリのアクセス速度を向上したい。例えばアクセスサイクルを40MCを50MCとか60MCに向上することが必要になるが、この場合、次のような問題が存在する。

【0006】いまドライバー40から、図5(A)に示す如き、H、Lレベルの矩形波を出力すると、メモリのアクセス速度が従来通りの速度であれば問題はない。しかし前記の如く、アクセス速度が生ずると、波形の反射が発生し、スピードアップがはかれないという問題が存在する。

【0007】反射が生ずると、その波形は、図5(B)に示す如く、段差が生ずる。この段差部分は、負荷の量が大きい程下がり、またその低段時間が大となり、図4(C)に示す如き状態になる。即ちドライバー40からの出力の「1」、「0」を閾値T<sub>h</sub>と比較して判別するとき、低段部分が閾値T<sub>h</sub>より低くなることがある。

【0008】このため、「1」、「0」の判定を、時刻T<sub>0</sub>で行うことができず、これより遅い時刻T<sub>1</sub>で行うことが必要となるため、データの読み取りが速い時間でできず、おそくなるという問題がある。

【0009】この反射の影響は、負荷量が多い程、つまりS I M M 31、32…を多く載置する程大きく、またドライバー40に近い部分程大きい。図4ではP<sub>0</sub>の部分がもっとも反射時間が大きくなるので、高速アクセス化する程S I M Mの載置枚数を大きくできず、メモリ容量が大きくなりなくなるという問題が存在する。

【0010】従って本発明の目的は、このような問題点を改善した高速動作メモリ・モジュールを提供することである。

## 【0011】

【課題を解決するための手段】前記目的を達成するため、本発明では、図1に示す如く、S I M Mのメモリ・モジュール1、2、3、4を、メモリ・モジュール1で代表的に示す如く、入口コネクタIKと出口コネクタOKを設け、その間にメモリ・バスMB<sub>1</sub>を配置し、このメモリ・バスMB<sub>1</sub>に複数のメモリ素子Mを接続する。このように構成することにより各メモリ・モジュール1、2、3、4を主線用のメモリ・バスMB<sub>0</sub>に直列接続することができる。そしてメモリ・バスのMB<sub>0</sub>の終わりに終端抵抗R<sub>0</sub>を接続する。この終端抵抗R<sub>0</sub>はCPU等が設けられるメイン基板上に用意されたものである。

## 【0012】

【作用】本発明によれば、メモリ・モジュール1内に設

けたメモリ・バスMB<sub>1</sub>に多数のメモリ素子M、M···を、いわゆるイモヅル式に、配線することができ、しかもメモリ・モジュール1、2、3、4をメモリ・バスMB<sub>0</sub>に直列接続している。従ってメモリ・バスMB<sub>1</sub>からメモリ素子MまでのT分岐に見えるパターン長をL<sub>0</sub>という非常に短い距離に抑えることができ、反射の原因となるパターンのT分岐を、図3に示す従来例におけるパターン長L<sub>1</sub>に比較してはるかに短くすることができるので反射がほとんど抑制できる。しかもドライバー40から最遠端部には終端抵抗R<sub>0</sub>が接続されているので、これまた反射が起きないようにできる。

## 【0013】

【実施例】本発明の一実施例を図2に基づき説明する。図2において他図と同一記号部分は同一部分を示す。図2において、1、2はメモリ・モジュール、5は終端抵抗メモリ・モジュール、40はドライバー、IKは入口コネクタ、OKは出口コネクタ、Mはメモリ素子、MB<sub>0</sub>、MB<sub>1</sub>はメモリ・バス、R<sub>0</sub>はメイン基板上に設けられた終端抵抗である。

【0014】メモリ・モジュール1は小基板にメモリICで構成されたメモリ素子Mを複数個配置したものであり、S I M Mといわれるメモリ・モジュールを構成する。本発明では、このメモリ・モジュール1にS I M Mソケットを構成する入口コネクタIKと出口コネクタOKを設けるとともに、これらの各コネクタ間にメモリ・バスMB<sub>1</sub>を設ける。そしてこのメモリ・モジュール内のメモリ・バスMB<sub>1</sub>に複数のメモリ素子Mを接続する。このメモリ素子Mは例えば1M~4Mビット程度の容量であり、ICで構成される。

【0015】メモリ・モジュール2も前記メモリ・モジュール1と同様に構成されており、入口コネクタIKと出口コネクタOKにより主線メモリ・バスMB<sub>0</sub>に接続されている。

【0016】終端抵抗メモリ・モジュール5はメモリ・バスMB<sub>0</sub>に終端抵抗R<sub>0</sub>を接続するものであり、S I M Mソケットを構成する入口コネクタIKと、出口コネクタOKにより終端抵抗メモリ・モジュール5を接続したときメモリ・バスMB<sub>0</sub>にこの終端抵抗R<sub>0</sub>を接続することができる。

【0017】従って、図2に示す如く、ドライバー40から配線された主線メモリ・バスMB<sub>0</sub>にメモリ・モジュール1及びメモリ・モジュール2を装着した場合、終端抵抗メモリ・モジュール5をメモリ・モジュール2の次のコネクタ位置に装着することにより主線メモリ・バスMB<sub>0</sub>及びメモリ・モジュール内のメモリ・バスMB<sub>1</sub>を、基板上に用意された終端抵抗R<sub>0</sub>で終端せずに、終端抵抗メモリ・モジュール5に設けられた終端抵抗R<sub>0</sub>により主線メモリ・バスMB<sub>0</sub>とメモリ・モジュール内のメモリ・バスMB<sub>1</sub>の直列されたバスを終端することができ、インピーダンス・マッチングをとることがで

きる。

【0018】図2は4個のS I M Mソケットに対して、2枚のS I M Mのメモリ・モジュール1、2を装着した場合は3個目のS I M Mソケットに対して終端抵抗メモリ・モジュール5を装着して、ドライバー40からの最遠端部に終端抵抗R<sub>0</sub>を挿入し、インピーダンスマッチングをとる例について説明した。

【0019】勿論、図2において、4個のS I M Mソケット全部に対しS I M Mのメモリ・モジュールを装着した場合は、終端抵抗メモリ・モジュール5は必要とせず、基板上に用意された終端抵抗R<sub>0</sub>で終端されることになる。

【0020】本発明におけるメモリ・モジュールの他の例を図3に示す。図3ではメモリ素子Mと終端抵抗R<sub>0</sub>をメモリ・モジュール6に設けたものであり、入口コネクタIKに対してメモリ・バスMB<sub>1</sub>を接続し、これにメモリ素子Mを接続する。そしてメモリ・バスMB<sub>1</sub>を終端抵抗R<sub>0</sub>により終端している。従ってこのメモリ・モジュール6を装着すれば、終端抵抗メモリ・モジュール5を装着する必要はない。

【0021】本発明によれば、メモリ・モジュール内の配線をメモリ・モジュールを駆動すべき主線メモリ・バスMB<sub>0</sub>に対しT分岐とならないように、1度メモリ・モジュール内に入力した信号をすべてのメモリに対しいわゆるイモヅル式に配線して、再びメモリ・モジュールの外に出す。これにより従来の場合には、図4に示す如く、メモリ・バスMB<sub>0</sub>からT分岐に見えるパターン長L<sub>1</sub>しが非常に大きく、高速動作するとき反射量も大きくなつたのに対し、本発明では、T分岐長の部分はL<sub>0</sub>と微小量であり、高速動作に際し、T分岐による反射の発生を防止することができる。

【0022】しかもメモリ・モジュールを全S I M Mソケットに装着しない場合でも、図2、図3に示す如く、終端抵抗を用意したものを使用することにより、メモリ増設容量を適宜選定することができる。

【0023】なお前記説明では、S I M Mソケット数が最大4個の例について説明したが本発明は勿論これのみに限定されるものではなく、適宜増減できるものである。またメモリ素子の容量が1~4Mビットの例について説明したが、これまた適宜増減できるものである。

【0024】また図ではバスは1本の線として記述したが、バスとしては、電源線、接地線、アドレスバス、データバス、P A S、C A S、W E等の複数の線により構成され、ソケットもこれらの複数の線に対して接続可能に構成されているものである。

【0025】なお、前記説明ではメイン基板上に終端抵抗R<sub>0</sub>を設けた例について説明したが、メイン基板上には終端抵抗R<sub>0</sub>を設けずに、終端抵抗を終端抵抗メモリ・モジュールにより接続するとか、メモリ・モジュールに終端抵抗を設けたものを使用することもできる。

## 【0026】

【発明の効果】請求項1に記載された本発明によれば、メモリ・モジュール内の多数のメモリ素子をいわゆるイモヅル式に配線することができ、反射の原因となるパターンのT分歧を非常に短くすることができるので、高速動作させても反射をほとんど抑制することができる。従ってメモリを高速動作させることができる。

【0027】請求項2に記載された本発明によれば、メモリ・モジュールを主線メモリ・バスに設けたコネクタに全部装着しない場合でも、終端抵抗を接続することができるので、メモリ・モジュールの増設容量を適宜調節することができる。

【0028】請求項3に記載された本発明によれば、これまでメモリ・モジュールの増設容量をさらに適宜調整することができる。請求項4に記載された本発明によれ

ば、コネクタ全部にメモリ・モジュールを装着することができるので、メモリ・モジュールの大容量の増設が可能となる。

## 【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】本発明の一実施例構成図である。

【図3】本発明におけるメモリ・モジュールの他の例である。

【図4】従来例説明図である。

【図5】高速化したときの従来の問題点説明図である。

## 【符号の説明】

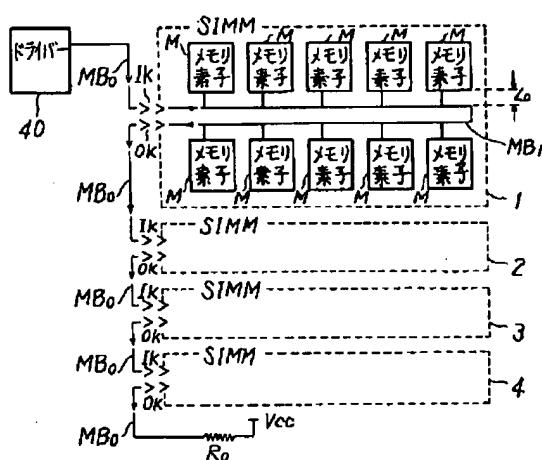
1、2、3、4 メモリ・モジュール

5 終端抵抗メモリ・モジュール

40 ドライバー

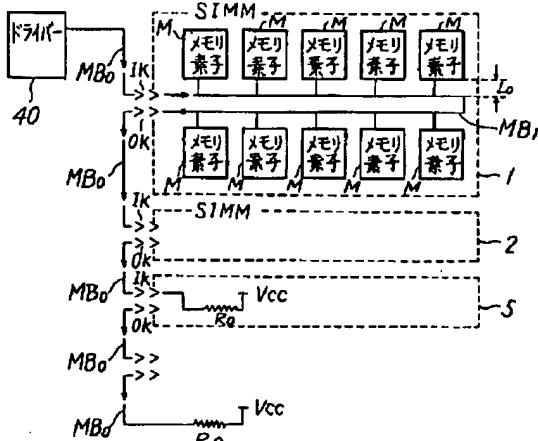
【図1】

## 本発明の原理構成図



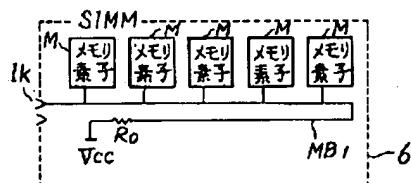
【図2】

## 本発明の一実施例構成図



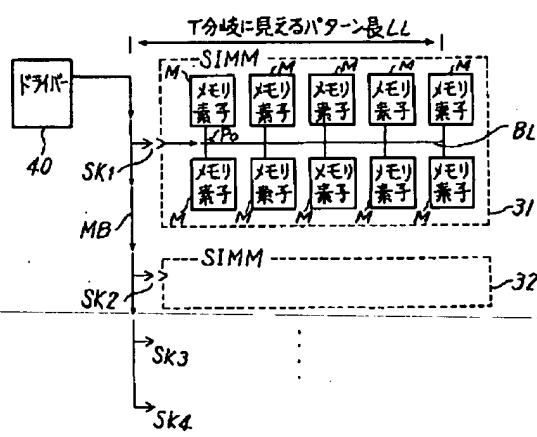
【図3】

## メモリ・モジュールの他の例



【図4】

## 従来例



【図5】

## 高速化したときの問題点説明図

